

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196529

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60  
H01L 23/12

(21)Application number : 2000-007923

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.01.2000

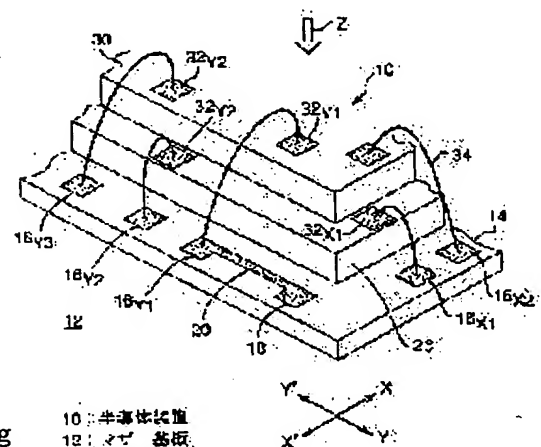
(72)Inventor : NOJIRI ISAO  
MAKABE RITSU

## (54) SEMICONDUCTOR DEVICE AND WIRING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, which can connect the pad electrode of a semiconductor chip to the arbitrary electric connection part of a circuit board by exceeding the performance of wire bonding, without being restricted by wire bonding, and to provide a wiring method.

SOLUTION: The semiconductor device 10 includes the circuit board 14, arranged on a mother board 12 and semiconductor chips 26 and 30 arranged on the circuit board. The circuit board has a pad electrode 16Y1', and a conductive connection part 18 installed at a place detached from the pad electrode on a surface supporting the semiconductor chips. The semiconductor chip has a pad electrode 32Y1, correspondent to the pad electrode of the circuit board. The pad electrode of the circuit board is electrically connected to the pad electrode of the semiconductor chip by a bonding wire 34.



10 : 半導体装置  
12 : マザー基板  
14 : 回路基板  
16X1 : パッド電極  
16Y1 : 中継用パッド電極  
18 : 接続用導体  
20 : 配線  
26 : 第1の半導体チップ  
30 : 第2の半導体チップ  
32X1 : パッド電極  
34 : ボンディングワイヤ

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196529

(P2001-196529A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 A 5 F 0 4 4
25/07		25/08	Z
25/18		23/12	W
21/60	3 0 1		
23/12			

審査請求 未請求 請求項の数17 O L (全 10 頁)

(21) 出願番号 特願2000-7923 (P2000-7923)

(22) 出願日 平成12年1月17日 (2000.1.17)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 野尻 勲

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 真壁 立

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

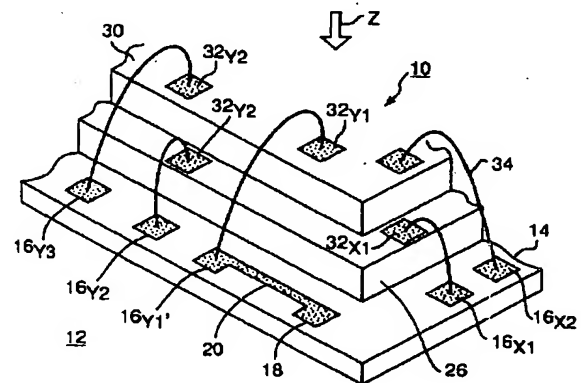
Fターム(参考) 5F044 AA10 EE02 RR03 RR08

(54) 【発明の名称】 半導体装置及びその配線方法

(57) 【要約】

【課題】 ワイヤボンディングによって制限されることなく、またワイヤボンディングの性能を超えて、半導体チップのパッド電極を回路基板の任意の電気接続部に対して接続できる半導体装置及びその配線方法を提供する。

【解決手段】 半導体装置 (10) は、マザー基板 (12) 上に配置される回路基板 (14) と、回路基板上に配置された半導体チップ (26、30) とを含む。回路基板は、半導体チップを支持する表面上に、パッド電極 (16y1') と、該パッド電極から離れた場所に設けた導電接続部 (18) と、パッド電極と導電接続部とを電気的に接続する配線 (20) を有する。一方、半導体チップは回路基板のパッド電極に対応するパッド電極 (32y1) を有する。そして、回路基板のパッド電極と半導体チップのパッド電極は、ボンディングワイヤ (34) で電気的に接続される。



- 10: 半導体装置  
 12: マザー基板  
 14: 回路基板  
 16x1, ...: パッド電極  
 16y1: 中継用パッド電極  
 18: 接続用電極  
 20: 配線  
 26: 第1の半導体チップ  
 30: 第2の半導体チップ  
 32x1, ...: パッド電極  
 34: ボンディングワイヤ

## 【特許請求の範囲】

【請求項1】 マザー基板上に実装される半導体装置であって、

上記マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを有し、(a) 上記回路基板は、

上記半導体チップを支持する表面上に、パッド電極と、該パッド電極から離れた場所に設けた中継電極と、上記パッド電極と中継電極とを電気的に接続する配線とを有し、(b) 上記半導体チップは上記回路基板のパッド電極に対応するパッド電極を有し、(c) 上記回路基板のパッド電極と上記半導体チップのパッド電極とをボンディングワイヤで電気的に接続したことを特徴とする半導体装置。

【請求項2】 上記回路基板のパッド電極と中継電極とを接続する配線が、上記パッド電極及び中継電極と共に上記回路基板上に印刷された配線であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記回路基板のパッド電極と中継電極とを接続する配線がボンディングワイヤであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを有する半導体装置において上記回路基板と半導体チップとを電気的に接続する配線方法であって、(a) 中継電極と、上記中継電極から離れた場所に設けたパッド電極と、上記中継電極と上記パッド電極とを電気的に接続する配線とを有する回路基板を準備し、(b) 上記回路基板の中継電極と上記半導体チップに設けたパッド電極とをボンディングワイヤによって電気的に接続することを特徴とする配線方法。

【請求項5】 第1の半導体チップと該第1の半導体チップの上に配置された第2の半導体チップとを有し、第1の半導体チップ上に設けたパッド電極と第2の半導体チップ上に設けたパッド電極とを電気的に接続したことを特徴とする半導体装置。

【請求項6】 上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とをボンディングワイヤで接続したことを特徴とする請求項5に記載の半導体装置。

【請求項7】 上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続したことを特徴とする請求項5に記載の半導体装置。

【請求項8】 第1の半導体チップの上に第2の半導体チップを配置し、第1の半導体チップ上に設けたパッド

電極と第2の半導体チップ上に設けたパッド電極とを電気的に接続することを特徴とする配線方法。

【請求項9】 上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とをボンディングワイヤで接続することを特徴とする請求項8に記載の配線方法。

【請求項10】 上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続することを特徴とする請求項8に記載の配線方法。

【請求項11】 回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電気的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、(a) 上記回路基板はパッド電極を有し、(b) 上記第1の半導体チップは2つの中継用パッド電極と、上記2つの中継用パッド電極を電気的に接続する配線とを有し、(c) 上記第2の半導体チップはパッド電極を有し、(d) 上記第1の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極を電気的に接続し、(e) 上記第1の半導体チップの他方の中継用パッドと第2の半導体チップのパッド電極とを電気的に接続したことを特徴とする半導体装置。

【請求項12】 上記第1の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極との接続、又は上記第1の半導体チップの他方の中継用パッド電極と上記第2の半導体チップのパッド電極との接続、の少なくともいずれか一方をボンディングワイヤで行ったことを特徴とする請求項11に記載の半導体装置。

【請求項13】 回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電気的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、(a) 上記回路基板は2つのパッド電極を有し、(b) 上記第1の半導体チップは、2つの中継用パッド電極と、上記2つの中継用パッド電極を電気的に接続する配線を有し、

(c) 上記第2の半導体チップはパッド電極を有し、

(d) 上記回路基板の一方のパッド電極と上記第1の半導体チップの一方の中継用パッド電極とを接続し、上記回路基板の他方のパッド電極と上記第1の半導体チッ

ブの他方の中継用パッド電極とを接続し、上記回路基板の他方のパッド電極と上記第2の半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【請求項14】 上記回路基板の一方のパッド電極と上記第1の半導体チップの一方の中継用パッド電極との接続、上記回路基板の他方のパッド電極と上記第1の半導体チップの他方の中継用パッド電極との接続、又は上記回路基板の他方のパッド電極と上記第2の半導体チップのパッド電極の接続、の少なくともいずれかがボンディングワイヤで行われていることを特徴とする請求項13の半導体装置。

【請求項15】 回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電気的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、(a) 上記回路基板はパッド電極を有し、(b) 上記第1の半導体チップは、2つの中継用パッド電極と、上記2つの中継用パッド電極を電気的に接続する配線とを有し、(c) 上記第2の半導体チップはパッド電極を有し、(d) 上記回路基板のパッド電極と上記第1の半導体チップの一方の中継用パッド電極とを接続し、上記第1の半導体チップの他方の中継用パッド電極と上記第2の半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【請求項16】 上記回路基板のパッド電極と上記第1の半導体チップの一方の中継用パッド電極との接続、又は上記第1の半導体チップの他方の中継用パッド電極と上記第2の半導体チップのパッド電極との接続、の少なくともいずれかがボンディングワイヤで行われていることを特徴とする請求項15の半導体装置。

【請求項17】 回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電気的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、(a) 上記回路基板は2つのパッド電極を有し、(b) 上記第1の半導体チップは中継用パッド電極を有し、(c) 上記第2の半導体チップはパッド電極を有し、(d) 上記回路基板の一方のパッド電極と上記第1の半導体チップの中継用パッド電極とを接続し、上記第1の半導体チップの中継用パッド電極と上記回路基板の他方のパッド電極を接続し、上記回路基板の他方のパッド電極と上記第2の半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マザー基板上に実装される半導体装置及びその配線方法に関する。具体的には、半導体素子を含む一つ又は複数のチップを回路基板（ドータ基板）上に載せ、チップ上に設けたパッド電極と回路基板上に設けた別のパッド電極とをボンディングワイヤ等で電気的に接続した半導体装置又は半導体部品（例えば、チップセット）及びその配線方法に関する。

【0002】

【従来の技術】限られた面積のマザー基板上に多数の半導体装置又は半導体部品（例えばチップセット）を実装する目的から、ドータ基板の片面上又は両面上に一つの半導体チップ又は重ね合わされた複数の半導体チップを載せたチップ積層型パッケージ（例えば、S-CSP（Stacked Chip Scale Package）、S-MCP（Multi Chip Package））が提供されている。

【0003】具体的に、図11と図12は積層型パッケージ（S-CSP）の一例を示す。このパッケージ100において、ドータ基板である回路基板102は、上面に複数のパッド電極104（1041-1045）を有する回路が配線されている。他方、回路基板102の下面には、パッド電極104に対応した複数のはんだボール106が設けられ、これらに対応するパッド電極104とはんだボール106が回路基板102に形成されたスルーホール108を介して電気的に接続されている。回路基板102の上面にはまた、周知の半導体製造技術を用いて形成した第1の半導体チップ110と第2の半導体チップ112がこの順序で積層されている。第1の半導体チップ110は、内部の回路素子と電気的に接続されたパッド電極114（1142、1144）を有する。他方、第2の半導体チップ112は、内部の回路素子と電気的に接続されたパッド電極114（1141、1143、1145）を有する。そして、第1と第2の半導体チップ110、112のパッド電極は、矢印Y-Y'方向から見たとき、パッド電極1142がパッド電極1141と1143の間に位置し、パッド電極1144がパッド電極1143と1145の間に位置するように配置されている。そして、パッド電極1141-1145は、ボンディングワイヤ（金線）116によって対応する回路基板102上のパッド電極104（1041-1045）に電気的に接続されている。このようにして電気的に接続された回路基板102と第1及び第2の半導体チップ110、112は、これら半導体チップ110、112とボンディングワイヤ116を樹脂で封入し、半導体装置として完成される。なお、実際の半導体装置では、図示されている数よりも多くの数のパッド電極が回路基板や第1及び第2の半導体チップ上に存在するが、図面を簡略化するために、図10と図11ではそれらの一部のみのみ

を示している。

【0004】

【発明が解決しようとする課題】ところが、上述のように、半導体チップ110、112と回路基板102との電氣的接続を両者の表面上に設けたパッド電極104、114とこれらを連結するボンディングワイヤ116とで行なうようにした半導体装置100では、半導体チップ110、112のパッド電極114i-114sと回路基板102のパッド電極104i-104sは、矢印X-X'方向にこの順番に配置されていなければならない。具体的に図12を用いて説明すると、回路基板102上で矢印X-X'方向に一列に配置された5個のパッド電極104i-104sは、半導体チップ110、112のパッド電極114i-114sにそれぞれ対応していなければならない。逆に、回路基板102のパッド電極104iと矢印X-X'方向に関して反対側にある半導体チップ112のパッド電極114sとをボンディングワイヤ116で接続しようとするれば、このボンディングワイヤが他のボンディングワイヤと交叉して接触するという問題を生じる。

【0005】しかし、現実には、マザー基板の配線やマザー基板上に配置される他の電気部品との電氣的接続を図るうえで、例えば図12において、半導体チップ112のパッド電極114iを回路基板102のパッド電極104sに接続したいという要求がある。しかし、マザー基板ごとに半導体チップ110、112における回路を変更するものとすれば、回路ごとに違ったパターン露光用マスクを用意しなければならない。

【0006】

【課題を解決するための手段】このような課題を解決するために、本願発明は、ワイヤボンディングによって制限されることなく、半導体チップのパッド電極を回路基板（ドータ基板）の任意の位置に配置された電気接続部に対して電氣的に接続できる半導体装置を提供することを目的とする。

【0007】また、本願発明は、半導体チップの回路配線を変更することなく、異なる回路配置を有する種々のマザー基板上に実装可能な半導体装置を提供することを目的とする。

【0008】さらに、本願発明は、ワイヤボンディングで接続可能な範囲を超えて、半導体チップと回路基板とを電氣的に接続できる半導体装置を提供することを目的とする。

【0009】以上の目的を達成するために、本発明にかかる半導体装置は、マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを含む。この回路基板は、半導体チップを支持する表面上に、パッド電極と、該パッド電極から離れた場所に設けた中継電極と、パッド電極と中継電極とを電氣的に接続する配線とを有する。一方、半導体チップは上記回路基

板のパッド電極に対応するパッド電極を有する。そして、回路基板のパッド電極と半導体チップのパッド電極は、ボンディングワイヤで電氣的に接続されている。

【0010】本実施形態において、回路基板のパッド電極と中継電極とを接続する配線は、パッド電極及び中継電極と共に回路基板上に印刷された配線であってもよいし、ボンディングワイヤでもよい。

【0011】本発明にかかる配線方法は、マザー基板上に配置される回路基板と、回路基板上に配置された半導体チップとを有する半導体装置において回路基板と半導体チップとを電氣的に接続するものである。この配線方法は、中継電極と、中継電極から離れた場所に設けたパッド電極と、中継電極とパッド電極とを電氣的に接続する配線とを有する回路基板を準備する工程と、回路基板の中継電極と半導体チップに設けたパッド電極とをボンディングワイヤによって電氣的に接続する工程とを有する。

【0012】本発明の他の形態の半導体装置は、第1の半導体チップと該第1の半導体チップの上に配置された第2の半導体チップとを有し、第1の半導体チップ上に設けたパッド電極と第2の半導体チップ上に設けたパッド電極とを電氣的に接続したものである。

【0013】本実施形態において、第1の半導体チップのパッド電極と第2の半導体チップのパッド電極はボンディングワイヤで接続するのが好ましい。ただし、第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置し、第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置し、第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続してもよい。

【0014】本発明の他の形態の配線方法は、第1の半導体チップの上に第2の半導体チップを配置し、第1の半導体チップ上に設けたパッド電極と第2の半導体チップ上に設けたパッド電極とを電氣的に接続するものである。

【0015】本実施形態において、第1の半導体チップのパッド電極と第2の半導体チップのパッド電極は、ボンディングワイヤで接続するのが好ましい。または、第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置し、第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置し、第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続してもよい。

【0016】本発明の他の形態の半導体装置は、回路基板と、第1の半導体チップと、第2の半導体チップとを有し、回路基板上に第1の半導体チップを載せ、さらに該第1の半導体チップ上に第2の半導体チップを載せ、第1の半導体チップと第2の半導体チップをそれぞれ回

回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板はパッド電極を有し、第1の半導体チップは2つの中継用パッド電極と、2つの中継用パッド電極を電氣的に接続する配線とを有し、第2の半導体チップはパッド電極を有する。そして、第1の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極を電氣的に接続し、第1の半導体チップの他方の中継用パッドと第2の半導体チップのパッド電極とを電氣的に接続してある。

【0017】本実施形態の半導体装置では、第1の半導体チップの一方の中継用パッド電極と回路基板のパッド電極との接続、又は第1の半導体チップの他方の中継用パッド電極と上記第2の半導体チップのパッド電極との接続、の少なくともいずれか一方をボンディングワイヤで行うことができる。

【0018】本発明の他の形態の半導体装置は、回路基板と、第1の半導体チップと、第2の半導体チップとを有し、回路基板上に第1の半導体チップを載せ、さらに該第1の半導体チップ上に第2の半導体チップを載せ、第1の半導体チップと第2の半導体チップをそれぞれ回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板は2つのパッド電極を有し、第1の半導体チップは、2つの中継用パッド電極と、2つの中継用パッド電極を電氣的に接続する配線を有し、第2の半導体チップはパッド電極を有する。そして、回路基板の一方のパッド電極と第1の半導体チップの一方の中継用パッド電極とを接続し、回路基板の他方の中継用パッド電極とを接続し、回路基板の他方の中継用パッド電極と第2の半導体チップのパッド電極とを接続している。

【0019】本実施形態の半導体装置において、回路基板の一方のパッド電極と第1の半導体チップの一方の中継用パッド電極との接続、回路基板の他方の中継用パッド電極と第1の半導体チップの他方の中継用パッド電極との接続、又は回路基板の他方の中継用パッド電極と第2の半導体チップのパッド電極との接続、の少なくともいずれか一つがボンディングワイヤを行うのが好ましい。

【0020】本発明の他の形態の半導体装置は、回路基板と、第1の半導体チップと、第2の半導体チップとを有し、回路基板上に第1の半導体チップを載せ、さらに該第1の半導体チップ上に第2の半導体チップを載せ、第1の半導体チップと第2の半導体チップをそれぞれ回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板はパッド電極を有し、第1の半導体チップは、2つの中継用パッド電極と、2つの中継用パッド電極を電氣的に接続する配線とを有し、第2の半導体チップはパッド電極を有する。そして、回路基板のパッド電極と

上記第1の半導体チップの一方の中継用パッド電極とを接続し、上記第1の半導体チップの他方の中継用パッド電極と上記第2の半導体チップのパッド電極とを接続してある。

【0021】本実施形態の半導体装置において、回路基板のパッド電極と第1の半導体チップの一方の中継用パッド電極との接続、又は第1の半導体チップの他方の中継用パッド電極と第2の半導体チップのパッド電極との接続、の少なくともいずれか一つがボンディングワイヤで行うことが好ましい。

【0022】本発明の他の形態の半導体装置は、回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電氣的に接続し、上記回路基板を介してマザー基板上に実装される。この半導体装置において、回路基板は2つのパッド電極を有し、第1の半導体チップは中継用パッド電極を有し、第2の半導体チップはパッド電極を有する。そして、回路基板の一方のパッド電極と第1の半導体チップの中継用パッド電極とが接続され、第1の半導体チップの中継用パッド電極と回路基板の他方の中継用パッド電極が接続され、回路基板の他方の中継用パッド電極と第2の半導体チップのパッド電極とが接続されている。

【0023】

【発明の実施の形態】以下、添付図面を参照して、本発明の好適な実施の形態を説明する。なお、以下に説明する複数の実施形態において、共通する符号は共通する部分又は対応する部分を示す。

【0024】(1) 実施の形態1

図1と図2は実施の形態1にかかる半導体装置の一部を示す。これらの図において、全体を符号10で示す半導体装置は、同種の半導体装置又は他の電気部品と共にマザー基板12上に実装される半導体電子部品（例えば、演算装置、記憶装置）である。

【0025】この半導体装置10は回路基板14を有する。回路基板14は、絶縁性材料（例えば、ガラスとエポキシ樹脂の組み合わせ、またはポリイミド樹脂）からなる四角形の板の表面と裏面に所定の配線を印刷した矩形のプリント配線基板（ドータ基板）が一般的に用いられる。配線について更に具体的に説明すると、回路基板14の表面に印刷された回路は、矢印X-X'方向とこれに直交する矢印Y-Y'方向に伸びる回路基板縁部に沿って複数のパッド電極（パッド電極）16x1、16x2、・・・、16yi'、16y2、16y3、・・・を有する。また、印刷された回路には、符号16yiで示す特定のパッド電極又は導電接続部（以下、必要に応じて、この電極を「中継用パッド電極」という。）から矢印Y-Y'方向に所定距離を隔てた位置に配置された接続用電極1



8と、中継用パッド電極16Y1'と接続用電極18とを電気的に接続する配線20を含む。一方、回路基板14の裏面には、中継用パッド電極16Y1'を除く他の複数のパッド電極16X1、16X2・・・、16Y2、16Y3、・・・と接続用電極18に対応してはんだボール22が固定されており、これらパッド電極16X1、16X2・・・、16Y2、16Y3、・・・及び接続用電極18と対応するはんだボール22とが、回路基板14に形成された電気配線(例えば、回路基板14の表面と裏面との間で貫通するスルーホール24)を介して電気的に接続されている。

【0026】回路基板14の表面には、該回路基板14よりも小さな第1の半導体チップ26が載せられ、また第1の半導体チップ26の表面に該第1の半導体チップ26よりも小さな第2の半導体チップ30が載せられている。これら回路基板14と第1の半導体チップ26との固定、また第1と第2の半導体チップ26、30の固定は、接着剤で行なうことができる。なお、本実施形態では、回路基板14だけでなく、第1及び第2の半導体チップ26、30も、これらを上方(矢印Z方向)から見たときの平面形状が四角形であるが、それらの平面形状は四角形に限るものでなく、その他の形状であってもよい。

【0027】第1と第2の半導体チップ26、30は、シリコン基板の表面に周知の薄膜形成技術・エッチング技術・露光技術等を含む種々の半導体形成プロセスを通じて形成された一つ又は複数の半導体回路素子(例えば、トランジスタ)を含む。また、第1の半導体チップ26は、矢印X-X'方向と矢印Y-Y'方向に伸びる縁部に沿って複数のパッド電極(パッド電極)32X1、32Y2、・・・を有する。同様に、第2の半導体チップ30は、矢印X-X'方向と矢印Y-Y'方向に伸びる縁部に沿って複数のパッド電極(パッド電極)32X2、32Y1、32Y2、・・・を有する。これらパッド電極32X1、32X2・・・、32Y1、32Y2、32Y3、・・・は、上述した回路基板14のパッド電極16X1、16X2・・・、16Y1'、16Y2、16Y3、・・・に対応している。具体的に、矢印Y-Y'方向に伸びる縁部近傍に配置されたパッド電極は、16Y1'と32Y1、16Y2と32Y2、及び16Y3と32Y3がそれぞれほぼ矢印X-X'方向に伸びる同一直線上に配置されている。また、矢印X-X'方向に伸びる縁部近傍に配置されたパッド電極は、16X1と32X1、16X2と32X2、及び16X3と32X3がそれぞれほぼ矢印Y-Y'方向に伸びる同一直線上に配置されている。なお、これらのパッド電極32X1、32X2・・・、32Y1、32Y2、32Y3、・・・は、上述した半導体形成プロセスの一過程で形成してもよいし、半導体形成プロセスとは別に、周知の印刷技術を利用して形成してもよい。そして、パッド電極32X1、32X2・・・、32Y1、32Y2、32Y3・・・

は、回路基板14上に第1及び第2の半導体チップ26、30を固定した後、周知のワイヤボンダ(図示せず)によって、回路基板14上のパッド電極16X1、16X2・・・、16Y1'、16Y2、16Y3・・・との間にボンディングワイヤ(金線)34を張設して電気的に接続されている。最後に、特に図示していないが、第1及び第2の半導体チップ30は、ボンディングワイヤ34及びパッド電極を含めて、絶縁材料からなる樹脂によって封入される(図10参照)。

【0028】以上のようにして形成された半導体装置10は、回路基板14よりも一般に相当大きなマザー基板12の配線上に配置された後、リフロー炉等の加熱炉(図示せず)で加熱してはんだボール22を溶融し、半導体チップ26、30がマザー基板上の所定の回路に永久的に電気的接続される。

【0029】したがって、半導体装置10をマザー基板に実装した状態で、半導体チップ30のパッド電極32Y1を接続すべきマザー基板上の回路部分が、回路基板14における中継用パッド電極16Y1'に対応する位置でなく接続用電極18に対向する位置にあっても(換言すれば、パッド電極32Y1から矢印Y-Y'方向にオフセットした場所にあっても)、この半導体装置10によれば、パッド電極32Y1をマザー基板上の目的の回路部分に接続できる。換言すれば、半導体チップ26、30の設計(特に、マスクパターン)を変更することなく、回路基板14上の中継パッド電極等を利用することで、半導体チップ26、30の各パッド電極をマザー基板上の所定の回路部分に正しく接続できる。また、この半導体装置10によれば、従来の技術の欄で説明したような、ボンディングワイヤの交叉接触の問題もない。

#### 【0030】(2)実施の形態2

図3は実施の形態2にかかる半導体装置102の一部を示す。この半導体装置102において、回路基板14の表面に形成された回路は、中継用パッド電極16Y1'から矢印Y方向に所定距離だけ隔てた位置に接続用パッド電極16Y0が設けてある。また、第1の半導体チップ26には、矢印Y-Y'方向に所定距離だけ隔てて配置された2つの中継用パッド電極32Y1'と32Y0'と、これらの中継用パッド電極を電気的に接続する配線36が設けてある。さらに、図示しないが、回路基板14の裏面には、接続用パッド電極16Y0に対応する位置にはんだボールが設けられ、これら接続用パッド電極16Y0とのはんだボールがスルーホール等の電気的接続により接続されている。そして、接続用パッド電極16Y0と中継用パッド電極32Y0'、また中継用パッド電極32Y1'と16Y1'、さらに中継用パッド電極16Y1'と第2の半導体チップ30のパッド電極32Y1がボンディングワイヤ34で接続され、これによりパッド電極32Y1が該パッド電極32Y1から矢印Y-Y'方向にオフセットした接続用パッド電極16Y0に対して電気的に接続されてい

る。

【0031】この半導体装置102によれば、上述した実施の形態1と同様に、一方の半導体チップ26のマスクパターンと回路基板に回路を印刷するマスクパターンを一部変更するだけ、他方の半導体チップ30のマスクパターンを変更することなく、中継用パッド電極等回路基板14上の中継パッド電極等を利用することで、半導体チップ26、30の各パッド電極をマザー基板上の所定の回路部分に正しく接続できる。また、回路基板14の表面に図1に示すような配線20を設けるスペースが無い場合でも、本実施の形態のように半導体チップ上に中継用配線を設けることでボンディングワイヤの交叉を解消できる。

### 【0032】(3) 実施の形態3

図4は実施の形態にかかる半導体装置103の一部を示す。この半導体装置103は、実施の形態2の変形例で、半導体チップ30のパッド電極32Y1と半導体チップ26の中継用パッド電極32Y1'、また半導体チップ26の中継用パッド電極32Y0'と回路基板14の接続用パッド電極16Y0を、それぞれボンディングワイヤ34で接続し、これによりパッド電極32Y1を該パッド電極32Y1から矢印Y-Y'方向にオフセットした接続用パッド電極16Y0に、ボンディングワイヤを交叉することなく接続できる。また、本実施の形態3によれば、第2の半導体チップ26に中継用パッド電極等を設けるだけで済み、回路基板14や第2の半導体チップ30のマスクパターンを変更する必要がない。さらに、実施の形態2における中継用パッド電極16Y1'と32Y1'とを結ぶボンディングワイヤが不要であるので、実施の形態2よりもワイヤボンディングの工程が簡略化でき、またそれに伴うコストが低減できる。加えて、パッド電極32Y1と16Y0とのボンディングワイヤが短くなる分、電気抵抗が減り、該ワイヤを通じて流れる信号の遅延が無くなって信号の立ち上がり及び立ち下がりが早くなる。

### 【0033】(4) 実施の形態4

図5は実施の形態にかかる半導体装置104の一部を示す。この半導体装置104は、半導体チップ30において矢印Y-Y'方向に伸びる縁部近傍に配置されたパッド電極を、回路基板14において矢印X-X'方向に伸びる縁部近傍に配置されたパッド電極に接続した形態である。具体的に、半導体チップ26の矢印Y-Y'方向に伸びる縁部38近傍表面には、該縁部38に隣接し且つ半導体チップ30のY-Y'方向に伸びる縁部40近傍表面に設けたパッド電極32Y1に対応して、中継用パッド電極32Y1'が設けてある。また、半導体チップ26の矢印Y-Y'方向に伸びる縁部42近傍表面には、該縁部42に隣接し且つ回路基板14のY-Y'方向に伸びる縁部44近傍表面に設けたパッド電極16X0に対応して、中継用パッド電極32X0'が設けてある。これら中継用パッド電極32Y1'と32X0'は、半導体チッ

プ26を製造する際の半導体形成プロセスで該半導体チップ26の内部又は外部に形成された接続用配線46を介して電氣的に接続されている。さらに、回路基板14の裏面には、パッド電極16X0に電氣的に接続されたはんだボール(図示せず)が設けてある。これらパッド電極32Y1と中継用パッド電極32Y1'、また中継用パッド電極32X0'とパッド電極16X0をボンディングワイヤ34でそれぞれ接続し、これによりパッド電極32Y1が該パッド電極32Y1からX-X'方向及びY-Y'方向にシフトしたパッド電極16X0に電氣的に接続されている。

【0034】この半導体装置104によれば、ワイヤボンディングの配線可能範囲を超えて、矢印X-X'方向及び矢印Y-Y'方向に離れた2つの電極間に配線を設けることができる。したがって、マザー基板に対する半導体装置の配線自由度が更に向上する。

【0035】なお、本実施の形態では、半導体チップの一边近傍に配置されたパッド電極を回路基板の隣接辺に配置されたパッド電極に接続したが、半導体チップ内の配線は半導体形成プロセスで自由に配線できるので、上記一边の反対側にある回路基板の別の辺の近傍に配置されたパッド電極に接続することも当然可能である。

### 【0036】(5) 実施の形態5

図6は実施の形態5にかかる半導体装置105の一部を示す。本実施形態の半導体装置105は、実施の形態1の変形例であり、回路基板14に設けた中継用パッド電極16Y1'と接続用パッド電極16Y0とがボンディングワイヤ34で接続されている。

【0037】この半導体装置105によれば、実施の形態1と同様に、半導体チップ26、30のマスクパターンを変更することなく、パッド電極32Y1を該パッド電極32Y1から矢印Y-Y'方向に(また、更に別の中継用パッド電極を設けることにより矢印X-X'方向にも)シフトした回路基板上のパッド電極に接続することができる。

### 【0038】(6) 実施の形態6

図7は実施の形態6にかかる半導体装置106の一部を示す。本実施形態の半導体装置106は、実施の形態2の変形例であり、半導体チップ26に中継用パッド電極32Y01'を設け、半導体チップ30のパッド電極32Y1と回路基板14のパッド電極16Y1'、また回路基板14のパッド電極16Y1'と半導体チップ26の中継用パッド電極32Y01'、さらに半導体チップ26の中継用パッド電極32Y01'と回路基板14の接続用パッド電極16Y0が、ボンディングワイヤ34でそれぞれ接続され、半導体チップ30のパッド電極32Y1と該パッド電極32Y1から矢印Y-Y'方向にオフセットした場所にある回路基板14の接続用パッド電極16Y0とが電氣的に接続されている。

【0039】この半導体装置106によれば、半導体チッ



チップ30のマスクパターンを変更することなく、該半導体チップ30のパッド電極32y1を離れた場所にある回路基板14上のパッド電極に対して、ボンディングワイヤを交叉することなく、接続できる。

#### 【0040】(7) 実施の形態7

図8は実施の形態7にかかる半導体装置107の一部を示す。本実施形態の半導体装置107において、回路基板14のパッド電極50y0に接続される半導体チップ30のパッド電極52y1は、半導体チップ30の裏面54に設けてある。一方、この半導体チップ30を支える他方の半導体チップ26の表面56には、この表面56上に半導体チップ30を載せたときにパッド電極52y1が対向する場所に配線部分58が設けてある。この配線部分58は該配線部分58から矢印X'方向に所定距離移動し、半導体チップ30の載る領域の外側の領域に形成された配線部分60に接続され、さらに配線部分60は該配線部分60から矢印X方向に伸びる配線部分62を介して中継パッド電極64に接続されている。そして、半導体チップ30のパッド電極52y1は、半導体チップ30を半導体チップ26上に載せる際にパッド電極52y1と配線部分58とではんだ66を挟み、これにより配線部分58と電氣的に接続される。なお、はんだ66は後に加熱熔融され、これにより半導体チップ26と30がほぼ密着する。また、半導体チップ26の配線部分64と配線基板14のパッド電極50y0は、ボンディングワイヤ34を介して電氣的に接続される。

【0041】この半導体装置107によれば、半導体チップのパッド電極を、該パッド電極から矢印X-X'方向及びY-Y'方向に離れた場所に設けた回路基板のパッド電極に対して、ボンディングワイヤを交叉することなく接続できる。また、半導体装置107によれば、上部の半導体チップ30が下部の半導体チップ26の表面の殆どを占有する場合でも、残りの限られた表面部分を利用して、配線位置を矢印X-X'方向及びY-Y'方向にシフトできる。また、ワイヤボンディングの距離が短くなり、ワイヤボンディングのコスト、時間を低減できる。

【0042】なお、図8では、半導体チップ30のパッド電極は該半導体チップ30の裏面に存在する一つのパッド電極しか示していないが、半導体チップ30のパッド電極はすべて該半導体チップの裏面に設けてもよい。この場合、半導体チップ30の表面にパッド電極が存在せず、そのために該表面のパッド電極と回路基板とをボンディングワイヤで接続する必要がないので、高さの低い小型の半導体装置を提供できる。ただし、パッド電極52y1又は該パッド電極52y1を含む複数のパッド電極だけを半導体チップの裏面に設け、残りのパッド電極は半導体チップの表面に配置してもよい。

【0043】また、本実施の形態では、半導体チップ26の電極とこれに対向する半導体チップ30の電極をは

んだで接続しているが、両電極を接続できるものであればあらゆる電氣的接続手段を利用できる。

#### 【0044】(8) 実施の形態8

図9は実施の形態8にかかる半導体装置108の一部を示す。本実施形態の半導体装置108は、実施の形態7の半導体装置の変形例であり、半導体チップ26の表面56から、上述した電極部分62と64が除かれている。一方、回路基板14の表面には、パッド電極50y0の他に、パッド電極50y0から矢印Y'方向に所定距離を隔てた場所に中継電極70y1'が形成され、これらパッド電極50y0と中継電極70y1'が配線72で電氣的に接続されている。そして、電極部分60と中継電極70y1'が、ボンディングワイヤ68で電氣的に接続されている。その他の構成は、実施の形態7の半導体装置107と実質的に同一である。したがって、この半導体装置108によれば、上述した実施の形態7の半導体装置107と同一の作用効果が得られる。

#### 【0045】(9) 実施の形態9

図10は実施の形態9にかかる半導体装置109の一部を示す。本実施形態の半導体装置109は、実施の形態8の半導体装置の変形例であり、回路基板14のパッド電極50y0と中継電極70y1'がボンディングワイヤ34で電氣的に接続されている。その他の構成は、実施の形態8の半導体装置と同一である。したがって、この半導体装置108によれば、上述した実施の形態7の半導体装置107と同一の作用効果が得られる。

【0046】なお、以上の実施の形態では、回路基板は矩形の板としたが、導電材料からなる板を所定の形に加工した所謂リードフレームであってもよい。また、以上の実施形態では、回路基板上に第1と第2の半導体チップを積層した半導体装置を示したが、本発明にとって回路基板上に設ける半導体チップの数は限定的なものでない。

#### 【0047】

【発明の効果】以上、本発明の半導体装置は、ワイヤボンディングによって制限されることなく、またワイヤボンディングの性能を超えて、半導体チップのパッド電極を回路基板の任意の位置に配置された電氣接続部に対して電氣的に接続できる。

【0048】また、本発明の半導体装置は、半導体チップの回路配線を変更することなく、種々のマザー基板上に実装できる。

【0049】さらに、本発明の半導体装置は、ワイヤボンディングで接続可能な範囲を超えて、半導体チップと回路基板とを電氣的に接続できる。

#### 【図面の簡単な説明】

【図1】 実施の形態1にかかる半導体装置の部分斜視図。

【図2】 図1に示す半導体装置の側面図。

【図3】 実施の形態2にかかる半導体装置の部分斜視

図。

【図4】 実施の形態3にかかる半導体装置の部分斜視図。

【図5】 実施の形態4にかかる半導体装置の部分斜視図。

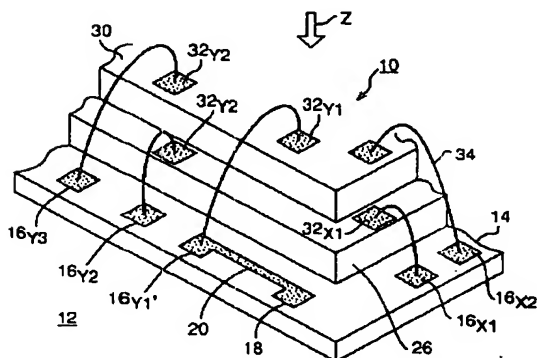
【図6】 実施の形態5にかかる半導体装置の部分斜視図。

【図7】 実施の形態6にかかる半導体装置の部分斜視図。

【図8】 実施の形態7にかかる半導体装置の部分斜視図。

【図9】 実施の形態8にかかる半導体装置の部分斜視図。

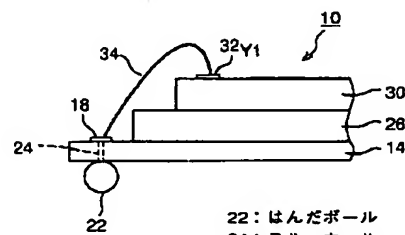
【図1】



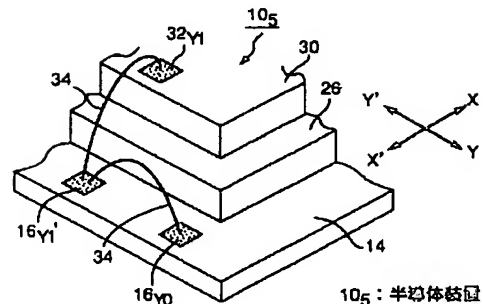
10: 半導体装置  
12: マザー基板  
14: 回路基板  
16x1, ...: パッド電極  
16y1, ...: 中継用パッド電極  
18: 接続用電極  
20: 配線  
26: 第1の半導体チップ  
30: 第2の半導体チップ  
32x1, ...: パッド電極  
34: ボンディングワイヤ



【図2】

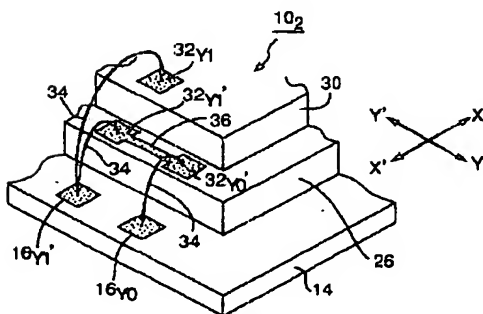


【図6】

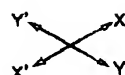


105: 半導体装置

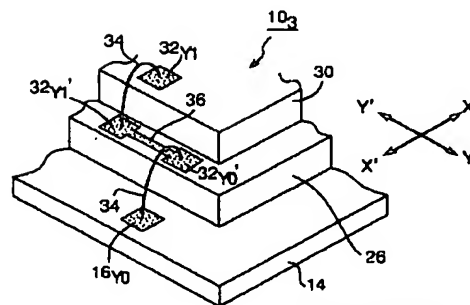
【図3】



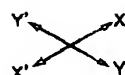
102: 半導体装置  
16y1', 32y0', 32y1': 中継用パッド電極  
36: 配線



【図4】



103: 半導体装置



図。

【図10】 実施の形態9にかかる半導体装置の部分斜視図。

【図11】 従来の半導体装置にかかる積層型パッケージ(S-CSP)の側面図。

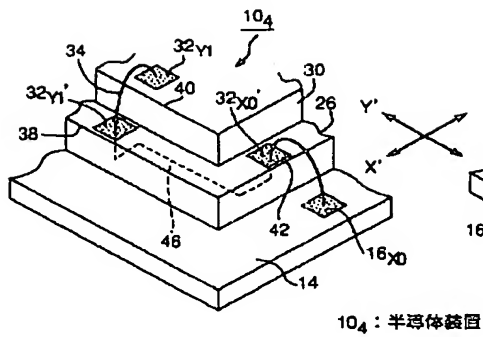
【図12】 図11に示す積層型パッケージの斜視図。

【符号の説明】

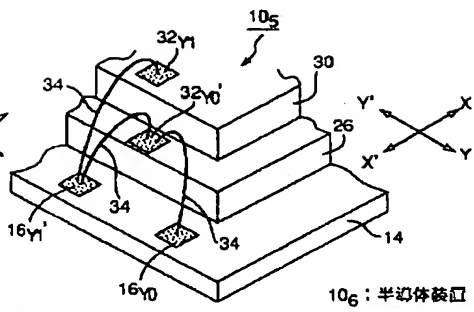
10 半導体装置、 12 マザー基板、 14 回路基板、 16x1・32x1 パッド電極、 16y1' 中継用パッド電極、 20 配線、 26 第1の半導体チップ、 30 第2の半導体チップ、 34 ボンディングワイヤ。

22: はんだボール  
24: スルーホール

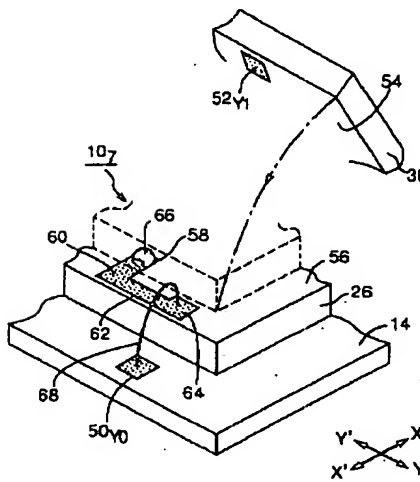
【図 5】



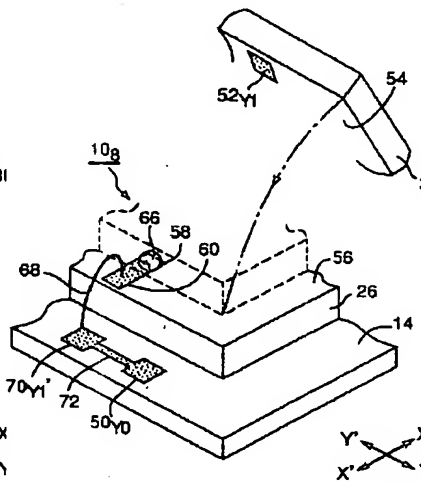
【図 7】



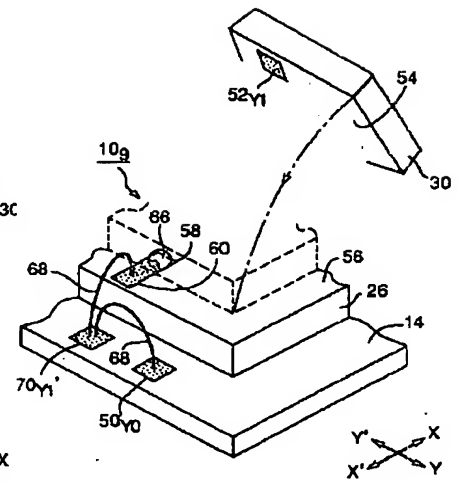
【図 8】



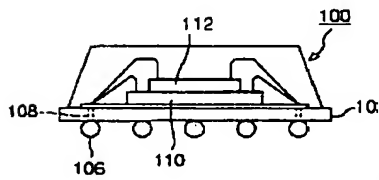
【図 9】



【図 10】



【図 11】



【図 12】

